

PAT-NO: JP406069129A
DOCUMENT-IDENTIFIER: JP 06069129 A
TITLE: FORMATION OF III-V COMPOUND
SEMICONDUCTOR FILM
PUBN-DATE: March 11, 1994

clai
7

INVENTOR-INFORMATION:

NAME

TAKEBE, TOSHIHIKO
FUJII, MOTOTADA
YAMAMOTO, TEIJI
FUJITA, KAZUHISA
KOBAYASHI, KIKUO

ASSIGNEE-INFORMATION:

NAME

KK A T R KOUDENPA TSUSHIN KENKYUSHO

COUNTRY

N/A

APPL-NO: JP04219081

APPL-DATE: August 18, 1992

INT-CL (IPC): H01L021/203, H01L021/20 , H01S003/18

ABSTRACT:

PURPOSE: To grow the crystal of a III-V compound semiconductor film on a substrate having level differences while keeping the original inclination angle at the level difference without producing any excessive facet.

CONSTITUTION: A right triangular resist pattern is formed on the (111) A facet of a GaAs substrate such that one side of the resist

pattern will be in parallel in the direction perpendicular to the cleavage surface. The GaAs substrate is then subjected to selective etching to provide a level difference inclining at an inclination angle of θ ; ($28^\circ \leq \theta \leq 33^\circ$) with respect to the (111) A facet in the vicinity of each side. Mask pattern is subsequently removed and a III-V compound semiconductor film is formed by MBE on the GaAs substrate including the inclining surface.

COPYRIGHT: (C)1994,JPO&Japio

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the method for using a molecular beam epitaxy (henceforth the MBE method), and forming a III-V group compound semiconductor film on the $\text{A}111$ plane of the GaAs substrate which has a level difference.

[0002]

[Description of the Prior Art] In the process which forms a lateral p-n combination in order to form semiconductor devices, such as the former, for example, laser etc. The GaAs layer is grown up using the MBE method in the following procedures (for example, for "laser besides EICHI PI Mayer (H.P.Meier)). A level difference The trouble about formation of the p-n junction of the longitudinal direction on the GaAs substrate which it has (100) () [Problems related to the formation of lateral p-n junctions] onchanneled forlasers" journal OBU vacuum science - and - technology BI, Vol.6, and No. March, 1988 [2 or] /, April (it is hereafter called reference 1.) substrate (100) GaAs Reference.

[0003] First, after forming the resist pattern of the shape of a stripe configuration or a rectangle on the field (001) of a GaAs substrate, the level difference which performs wet etching processing and has the slant-face section is formed. Subsequently, the crystal of GaAs is grown up using GaAs which made Si dope.

[0004]

[Problem(s) to be Solved by the Invention] According to the reference 1 at this time, the excessive (411) facet of the $\text{A}111$ plane appears into the level difference portion which is going to form p type layer. It was easy to become n type, the effect which shuts up an electron fell sharply, and this (411) facet of the $\text{A}111$ plane had the trouble that the semiconductor device of n-p-n structure which has a desired electrical property could not be formed.

[0005] Moreover, if the angle of the slant-face section of the level difference of a GaAs substrate which has a level difference changes from a desired angle when forming a quantum well layer, for example for laser and growing up $\text{Al}_x\text{Ga}_{1-x}\text{As}$ of a quantum well layer using the MBE method, the thickness of an $\text{Al}_x\text{Ga}_{1-x}\text{As}$ growth phase will change and the composition ratio x will change. There was a trouble that the desired quantum effect could not be acquired in the formed quantum well layer by this.

[0006] It is in the 1st purpose of this invention offering the formation method of a III-V group compound semiconductor film that the above trouble is solved, an excessive facet cannot appear when growing up the crystal of a III-V group compound semiconductor film on the substrate which has a level difference using the MBE method, but the angle of the ramp of the original level difference can moreover be held, and the above-mentioned crystal can be grown up.

[0007] Moreover, the 2nd purpose of this invention is to offer the method of forming a III-V group compound semiconductor film in addition to the 1st purpose, without reducing the locked-in effect of an electron or an electron hole.

[0008]

[Means for Solving the Problem] The formation method of the III-V group compound semiconductor film according to claim 1 concerning this invention The step which forms a resist mask pattern on the $\text{A}111$ plane of a GaAs substrate so that one side of an equilateral-triangle-like resist pattern may become parallel to a perpendicular direction substantially to the cleavage plane of the above-mentioned GaAs substrate, Selective-etching processing is performed to the GaAs substrate in which the above-mentioned resist mask pattern was formed. The step which forms the level difference which has the slant face where only the tilt angle θ of the range of $28^\circ \leq \theta \leq 33^\circ$ inclines to the $\text{A}111$ plane near each side of a resist mask pattern, It is characterized by including the step which

removes the above-mentioned resist mask pattern, and the step which uses a molecular beam epitaxy and forms a III-V group compound semiconductor film on the above-mentioned GaAs substrate and the above-mentioned slant face.

[0009] Moreover, the formation method of a III-V group compound semiconductor film according to claim 2 is characterized by forming the above-mentioned resist mask pattern so that the level difference which has the slant face of the field defined in the direction of the Ath page by inclining from a field (001) (111) may be formed in a method according to claim 1.

[0010]

[Function] In the formation method of a III-V group compound semiconductor film according to claim 1 Since the level difference of the slant face which is the range whose tilt angle is $28 \text{ degrees} \leq \theta \leq 33 \text{ degrees}$ is formed According to the experiment of this invention person, when growing up the crystal of a III-V group compound semiconductor film on the substrate which has a level difference using *****, an excessive facet cannot appear, but moreover the angle of the ramp of the original level difference can be held, and the above-mentioned crystal can be grown up.

[0011] Moreover, in the formation method of a III-V group compound semiconductor film according to claim 2, since the above-mentioned resist mask pattern is formed so that the level difference which has further the slant face of the field defined in the direction of the Ath page by inclining from a field (001) (111) may be formed, according to the experiment of this invention person, a III-V group compound semiconductor film can be formed, without reducing the locked-in effect of an electron or an electron hole.

[0012]

[Example] Hereafter, one example by this invention is explained with reference to a drawing. In drawing 1 or drawing 2, the direction of the field illustrated on each drawing on the basis of the crystal structure of the GaAs substrate 10 is shown in each drawing bottom. In addition, although the crystal structure of GaAs is illustrated typically, the size of a composition atom and an atomic distance is very small in drawing 1 and drawing 2, in fact as compared with the size of the resist mask patterns 11 and 12 and the GaAs substrates 21 and 22 of a triangular pyramid trapezoidal shape.

[0013] As shown in drawing 1, this example on the Ath (111) page of the GaAs substrate 10 After [the equilateral-triangle-like resist patterns 11 and 12] forming the resist mask patterns 11 and 12 so that one side 11a and 12a may become parallel to a perpendicular direction substantially to the cleavage plane 100 of the substrate 10 concerned, As selection wet etching processing is performed using the mixed etching reagent which consists of $\text{HF} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ and it is shown in drawing 2 The level difference which has the slant faces 21a, 21b, 21c, 22a, 22b, and 22c where only the tilt angle θ inclined to the Ath (111) page near each side of each resist mask patterns 11 and 12 is formed.

subsequently [after removing the above-mentioned resist mask pattern, when growing up GaAs growth phase 13a or 13e using the MBE method] It is characterized by controlling the above-mentioned tilt angle θ in the range of $28 \text{ degrees} \leq \theta \leq 33 \text{ degrees}$ by changing composition of the above-mentioned mixed etching reagent in the above-mentioned wet etching processing.

[0014] After forming a level difference in the Ath (111) page of the GaAs substrate 10 concerning this example hereafter, the basic process into which a GaAs growth phase is grown up is explained in detail.

[0015] (1) First, as shown in drawing 1, form the resist mask patterns 11 and 12 by the photolithography method, so that a mask aligner may be used and one-side 11a of the equilateral-triangle-like resist mask patterns 11 and 12 and 12a may become parallel to a perpendicular direction substantially to the cleavage plane 100 of the substrate 10 concerned on the Ath (111) page of the GaAs substrate 10.

[0016] (2) Subsequently, as selection wet etching processing is performed using the upper shell of the GaAs substrate 10 in which the resist mask patterns 11 and 12 were formed, and the mixed etching reagent which consists of $\text{HF} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ and it is shown in drawing 2 Near each sides 11a, 11b, 11c, 12a, 12b, and 12c of each resist mask patterns 11 and 12, respectively (111) A level difference with a height [of the perpendicularly it has the slant faces 21a, 21b, 21c, 22a, 22b, and 22c where only the tilt angle θ inclined to the Ath page] of 3 micrometers is formed. Therefore, while the GaAs substrate 21 of a triangular pyramid trapezoidal shape is formed near the resist mask pattern 11, the GaAs substrate 22 of a triangular pyramid trapezoidal shape is formed near the resist mask pattern 12. Furthermore, the GaAs substrate 10 *****s in the field in which the resist mask patterns 11 and 12 are not formed, and Ath (111) page 10e is exposed. In addition, the tilt angle θ was checked by observing with a scanning electron microscope on the basis of a cleavage plane 100.

[0017] Here, when the level difference formed using the resist mask pattern 11 has the tilt angle of $\theta = 55 \text{ degrees}$, slant-face 21a of the GaAs substrate 21 of a triangular pyramid trapezoidal shape is a field (001), slant-face 21b is a field (100), and slant-face 21c is a field (010), and calls mutually these slant faces 21a, 21b, and 21c hereafter the slant

face of equivalent relation (001). Moreover, when the level difference formed using the resist mask pattern 12 has the tilt angle of $\theta = 35$ degrees, slant-face 22a of the GaAs substrate 22 of a triangular pyramid trapezoidal shape is a field (110), slant-face 22b is a field (101), and slant-face 22c is a field (011), and calls mutually these slant faces 22a, 22b, and 22c hereafter the slant face of equivalent relation (110).

[0018] For example, in order to set it as the tilt angle of $\theta = 30$ degrees in the above-mentioned substrate 21 in 25 degrees of atmospheric temperature C, each volume of HF, H₂O₂, and H₂O is set as two cc, 16 cc, and 250 cc, or it is set as two cc, 22 cc, and 1000 cc. Moreover, you may use H₃PO₄+H₂O₂+H₂O as a mixed etching reagent. In this case, in order to set it as the tilt angle of $\theta = 30$ degrees in 40 degrees of atmospheric temperature C, each volume of H₃PO₄ and POH₂O₂, and H₂O is set as three cc, one cc, and 50 cc. The above-mentioned tilt angle θ can be set as arbitrary angles like the following by changing in a volume ratio with HF, H₂O₂, and H₂O or the volume ratio of H₃PO₄ and POH₂O₂, and H₂O, i.e., composition.

[0019] (3) Subsequently, remove the above-mentioned resist mask patterns 11 and 12 using organic solvents, such as an acetone.

[0020] (4) Further, as shown in drawing 3 or drawing 5, the flux ratio of As/Ga is set as 4 at the substrate temperature C of 620 degrees a well-known passage using the MBE method, and GaAs with a thickness of 1 micrometer growth phase 13a or 13e is grown up using GaAs which doped Si on the conditions that electron hole concentration is $1 \times 10^{18} \text{cm}^{-3}$.

[0021] While this invention person changed the tilt angle θ of the GaAs substrate 21 of (a) triangular pyramid trapezoidal shape for every degree from 11 degrees to 84 degrees and performed the above-mentioned process, he changed the tilt angle θ of the GaAs substrate 22 of (b) triangular pyramid trapezoidal shape for every degree from 11 degrees to 74 degrees, and performed the above-mentioned process. It represents especially and the experimental result about the portion corresponding to slant-face 21a of the substrate 21 in this case, corner section 21r, and them of a substrate 22 is explained below.

[0022] (a) In the case of the GaAs substrate 21 of a triangular pyramid trapezoidal shape, drawing 3 or drawing 5 is a cross section about the A-A' line of drawing 2 of the GaAs substrate after the GaAs growth [degrees / 30 / the tilt angle of $\theta = 61$ degrees of the slant face of a level difference, 41 degrees, and] at the time, respectively.

[0023] As shown in drawing 3, while facet of Ath (114) page 13b appears in the upper part of slant-face 21a, in the tilt angle of $\theta \geq 34$ degrees, facet 13d of other excessive fields always appears in the lower part of slant-face 21a. And *****ing to the slant-face 21a side was observed, so that the tilt angle θ approached 33 degrees, as shown in drawing 4. Therefore, in the range with a tilt angle of $\theta \geq 34$ degrees, the GaAs growth phase of a uniform slant face cannot be formed. Furthermore, in the range whose tilt angle is $15 \text{ degrees} \leq \theta \leq 33 \text{ degrees}$, as shown in drawing 5, facet of Ath (114) page 13b and excessive facet 13d disappear, and, otherwise, a facet is not produced at all, but the uniform GaAs growth phases 13a, 13c, and 13e holding the etching pattern of the original GaAs substrate 10 can be realized. Furthermore, in the range whose tilt angle is $\theta \leq 14$ degrees, it observed that the Ath (111) page and the step which accomplishes 15 degrees arose, and homogeneity was again lost on the slant face near a boundary with the substrate 21 of a triangular pyramid trapezoidal shape. Therefore, it is necessary to store a tilt angle in the range of $15 \text{ degrees} \leq \theta \leq 33 \text{ degrees}$, and is hereafter called the conditions of the 1st tilt angle.

[0024] Furthermore, in the range whose tilt angle is $\theta \geq 54$ degrees, as shown in drawing 6, it was observed by corner section 21r which hits the ridgeline where equivalent slant faces cross mutually that the facet of an A (111) set plate surface and the field which accomplishes the angle of 35 degrees (110) arises. And in the range whose tilt angle is $28 \text{ degrees} \leq \theta \leq 53 \text{ degrees}$, as shown in drawing 7, the facet of the (110) field disappeared and other facets were not produced. However, the facet of the field of relation where a tilt angle accomplishes an A set plate surface and the angle of 15 degrees or less again (111) at $\theta \leq 27$ degrees (110) appeared. Since the facet of these (110) fields and fields of relation (110) becomes p type in the GaAs growth phase by which Si dope was carried out, these facets work as a leak path to [electron hole *****], and reduce a locked-in effect remarkably. Therefore, it is necessary to store in the range whose tilt angle is $28 \text{ degrees} \leq \theta \leq 53 \text{ degrees}$ at which these facets do not appear, and is hereafter called the conditions of the 2nd tilt angle.

[0025] Therefore, in order to form a uniform GaAs growth phase in slant-face 21a or 21c, and corner section 21r, it is necessary to satisfy simultaneously the conditions of the 1st tilt angle of the above, and the conditions of the 2nd tilt angle of the above, and to store a tilt angle in the range of $28 \text{ degrees} \leq \theta \leq 33 \text{ degrees}$. Here, the tilt angle of $\theta = 28$ degrees corresponds to the Ath (5 5 14) page, and the tilt angle of $\theta = 33$ degrees corresponds to the Ath (114) page. These (5 5 14) Ath page and (114) the Ath page are fields which incline in the direction of the Ath page and are defined as it from a field (001) (111).

[0026] In addition, that the electron hole is shut up in the range whose tilt angle is $28 \text{ degrees} \leq \theta \leq 33 \text{ degrees}$ formed the ohm nature electrode in the field of the Ath (111) page of the summit side of the GaAs substrate 21 of a triangular pyramid trapezoidal shape, and Ath (111) page 10e to which it *****ed, respectively, and it checked it by measuring each inter-electrode current-voltage characteristic. In this measurement, the good current blocking effect that current does not flow to $\sim 10 \text{ V}$ has shown up. Thereby, it was checked that the slant face serves as n type, and there is no leak at corner section 21r, and it observed that the electron hole locked-in effect was not falling.

[0027] (b) In the case of the GaAs substrate 22 of a triangular pyramid trapezoidal shape, at $\theta \geq 35 \text{ degrees}$, always, the excessive facet concerned disappears, and, otherwise, a facet is not produced at all, but a tilt angle can form the uniform GaAs growth phase holding the etching pattern of the original GaAs substrate 10 by \leq with a tilt angle of 15 degrees $\theta \leq 34 \text{ degrees}$, although the facet of a field (110) appears in the upper part of slant-face 22a. Furthermore, in the range whose tilt angle is $\theta \leq 14 \text{ degrees}$, on the slant face near a boundary with the substrate 22 of a triangular pyramid trapezoidal shape, the step which accomplishes the Ath (111) page and the angle of 15 degrees arose, and homogeneity was lost again. In addition, even if it changed the tilt angle θ in the range from 11 degrees to 74 degrees in the case of the GaAs substrate 22 of a triangular pyramid trapezoidal shape, an excessive facet has not been observed in the corner section like [in the case of the above-mentioned substrate 21]. In addition, it is the field which slant-face 22a inclines in the direction of the Ath page from a field (110) in this case (111), and is defined.

[0028] Therefore, what is necessary is just to set a tilt angle as the 15-degree range of $\theta \leq 34 \text{ degrees}$, in order to form a uniform GaAs growth phase in slant-face 22a or 22c, and the corner section in this case. Therefore, if it is set as tilt-angle range [in the GaAs substrate 21 of a triangular pyramid trapezoidal shape / of 28 degrees] $\leq \theta \leq 33 \text{ degrees}$, the requirement of the tilt angle of the GaAs substrate 22 of a triangular pyramid trapezoidal shape will also be satisfied automatically. However, since the GaAs growth phase by which, as for each slant-face 22a or 22c, Si was doped became p type in the case of the GaAs substrate 22 of a triangular pyramid trapezoidal shape, it observed that an electron hole locked-in effect could not be obtained.

[0029] It is as follows when the above-mentioned experimental result explained above is summarized.

(1) If a tilt angle is stored in the range of $28 \text{ degrees} \leq \theta \leq 33 \text{ degrees}$ when forming the slant face of the level difference of the GaAs substrates 21 and 22 of a triangular pyramid trapezoidal shape on the Ath (111) page of the GaAs substrate 10 as mentioned above, the tilt angle of a level difference can be held and a uniform GaAs growth phase can be formed.

(2) -- the case where an electron hole shuts up, or an electron closes and eye ** is further performed when forming lateral p-n junction etc. -- the conditions of the above (1) -- in addition, what is necessary is to use only the slant faces 21a, 21b, and 21c of the GaAs substrate 21 of a triangular pyramid trapezoidal shape Namely, what is necessary is just to form the slant face of the Ath page or (5 5 14) the Ath page defined in the direction to the Ath page by inclining from a field (001) (114) (111) by forming and carrying out wet etching only of the resist mask pattern 11. The p-n junction of the longitudinal direction to which the locked-in effect of an electron hole or an electronic locked-in effect does not fall is always realizable with this.

[0030] In the above example, although the GaAs growth phase is formed, this invention can be applied, when forming III-V group compound semiconductor films, such as not only this but $\text{Al}_x\text{Ga}_{1-x}\text{As}$. Moreover, although the GaAs substrate is used, you may use an InP substrate.

[0031]

[Effect of the Invention] As explained in full detail above, according to the formation method of the III-V group compound semiconductor film according to claim 1 concerning this invention The step which forms a resist mask pattern on the Ath (111) page of a GaAs substrate so that one side of an equilateral-triangle-like resist pattern may become parallel to a perpendicular direction substantially to the cleavage plane of the above-mentioned GaAs substrate, Selective-etching processing is performed to the GaAs substrate in which the above-mentioned resist mask pattern was formed. The step which forms the level difference which has the slant face where only the tilt angle θ of the range of $28 \text{ degrees} \leq \theta \leq 33 \text{ degrees}$ inclines to the Ath (111) page near each side of a resist mask pattern, The step which removes the above-mentioned resist mask pattern, and the step which uses a molecular beam epitaxy and forms a III-V group compound semiconductor film on the above-mentioned GaAs substrate and the above-mentioned slant face are included. Therefore, since the level difference of the slant face which is the range whose tilt angle is $28 \text{ degrees} \leq \theta \leq 33 \text{ degrees}$ is formed, when growing up the crystal of a III-V group compound semiconductor film on the substrate which has a level difference using ***** , an excessive facet cannot appear, but moreover the angle of the ramp of the original level difference can be held, and the above-mentioned crystal can be grown up.

[0032] Moreover, since according to the formation method of a III-V group compound semiconductor film according to claim 2 the above-mentioned resist mask pattern is formed so that the level difference which has further the slant face of the field defined in the direction of the A-th plane by inclining from a field (001) (111) may be formed, there is an advantage that a III-V group compound semiconductor film can be formed, without reducing the locked-in effect of an electron or an electron hole.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The formation method of the III-V group compound semiconductor film characterized by providing the following. The step which forms a resist mask pattern on the $A_{th}(111)$ plane of a GaAs substrate so that one side of an equilateral-triangle-like resist pattern may become parallel to a perpendicular direction substantially to the cleavage plane of the above-mentioned GaAs substrate. The step which forms the level difference which has the slant face where selective-etching processing is performed to the GaAs substrate in which the above-mentioned resist mask pattern was formed, and only the tilt angle θ of the range of $28^\circ \leq \theta \leq 33^\circ$ inclines to the $A_{th}(111)$ plane near each side of a resist mask pattern. The step which removes the above-mentioned resist mask pattern. The step which uses a molecular beam epitaxy and forms a III-V group compound semiconductor film on the above-mentioned GaAs substrate and the above-mentioned slant face.

[Claim 2] (001) The formation method of the III-V group compound semiconductor film according to claim 1 characterized by forming the above-mentioned resist mask pattern so that the level difference which has the slant face of the field defined in the direction of the A_{th} plane by inclining from a field (111) may be formed.

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-69129

(43)公開日 平成6年(1994)3月11日

(51)IntCl.⁵

H01L 21/203

21/20

H01S 3/18

識別記号

M 8422-4M

9171-4M

FI

技術表示箇所

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平4-219081

(22)出願日 平成4年(1992)8月18日

特許法第30条第1項適用申請有り 1992年3月28日 社団法人応用物理学会発行の「1992年春季第39回応用物理学関係連合講演会講演予稿集No. 1」に発表

(71)出願人 000127662

株式会社エイ・ティ・アール光電波通信研究所

京都府相楽郡精華町大字乾谷小字三平谷5番地

(72)発明者 武部 敏彦

京都府相楽郡精華町大字乾谷小字三平谷5番地

株式会社エイ・ティ・アール光電波通信研究所内

(74)代理人 弁理士 青山 葆 (外2名)

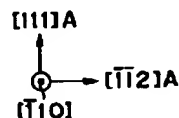
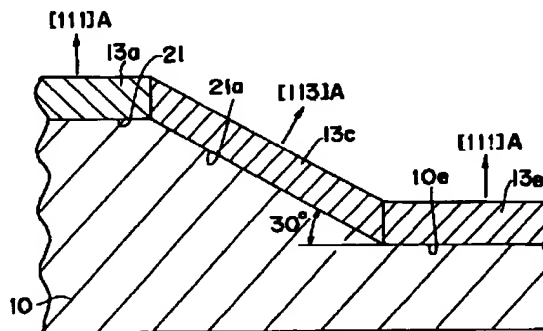
最終頁に続く

(54)【発明の名称】 III-V族化合物半導体膜の形成方法

(57)【要約】

【目的】 MBE法を用いてIII-V族化合物半導体膜の結晶を段差を有する基板上に成長させるときに余分なファセットが出現せず、しかも元の段差の傾斜部の角度を保持して結晶を成長させることができる方法を提供する。

【構成】 GaAs基板の(111)A面上に正三角形状のレジストパターン1の1辺がGaAs基板の劈開面に対して垂直な方向に平行となるようにレジストマスクパターンを形成し、マスクパターンが形成されたGaAs基板に対して選択エッチング処理を行って、その各辺の近傍に(111)A面に対して $28^\circ \leq \theta \leq 33^\circ$ の範囲の傾斜角 θ だけ傾斜する斜面を有する段差を形成し、マスクパターンを除去し、GaAs基板及び斜面上にMBE法を用いてIII-V族化合物半導体膜を形成する。



1

【特許請求の範囲】

【請求項1】 GaAs基板の(111)A面上に、正三角形形状のレジストパターンの1辺が上記GaAs基板の劈開面に対して実質的に垂直な方向に平行となるようにレジストマスクパターンを形成するステップと、上記レジストマスクパターンが形成されたGaAs基板に対して選択エッチング処理を行って、レジストマスクパターンの各辺の近傍に(111)A面に対して $28^\circ \leq \theta \leq 33^\circ$ の範囲の傾斜角 θ だけ傾斜する斜面を有する段差を形成するステップと、上記レジストマスクパターンを除去するステップと、上記GaAs基板及び上記斜面上に分子線エピタキシャル法を用いてIII-V族化合物半導体膜を形成するステップとを含むことを特徴とするIII-V族化合物半導体膜の形成方法。

【請求項2】 (001)面から(111)A面への方に傾斜されて定義される面の斜面を有する段差が形成されるように上記レジストマスクパターンを形成することを特徴とする請求項1記載のIII-V族化合物半導体膜の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、段差を有するGaAs基板の(111)A面上に、分子線エピタキシャル法(以下、MBE法という。)を用いてIII-V族化合物半導体膜を形成するための方法に関する。

【0002】

【従来の技術】従来、例えばレーザなどの半導体デバイスを形成するために横方向のp-n結合を形成するプロセスにおいて、以下の手順でMBE法を用いてGaAs層を成長させている(例えば、エイチ・ピー・マイヤー(H. P. Meier)ほか「レーザのために、段差を有する(100)GaAs基板上の横方向のp-n接合の形成に関する問題点(Problems related to the formation of lateral p-n junctions on channeled substrate (100) GaAs for lasers)」ジャーナル・オブ・バキューム・サイエンス・アンド・テクノロジー・ビー、Vol. 6, No. 2, 1988年3月/4月(以下、文献1という。)参照)。

【0003】まず、GaAs基板の(001)面上にストライプ形状又は長方形形状のレジストパターンを形成した後、ウェットエッチング処理を行って斜面部を有する段差を形成する。次いで、SiをドーパさせたGaAsを用いてGaAsの結晶を成長させる。

【0004】

【発明が解決しようとする課題】このとき、文献1によれば、p型層を形成しようとする段差部分に余分な(411)A面のファセットが出現する。この(411)A

2

面のファセットは、n型になりやすく、電子を閉じ込める効果が大幅に低下して、所望の電気的特性を有するn-p-n構造の半導体デバイスを形成することができないという問題点があった。

【0005】また、例えばレーザのために量子井戸層を形成する場合において、MBE法を用いて量子井戸層の $Al_xGa_{1-x}As$ を成長させるときに、段差を有するGaAs基板の段差の斜面部の角度が所望の角度から変化すると $Al_xGa_{1-x}As$ 成長層の厚さが変化し、組成比 x が変化する。これによって、形成された量子井戸層において所望の量子効果を得ることができないという問題点があった。

【0006】本発明の第1の目的は以上の問題点を解決し、MBE法を用いてIII-V族化合物半導体膜の結晶を段差を有する基板上に成長させるときに余分なファセットが出現せず、しかも元の段差の傾斜部の角度を保持して上記結晶を成長させることができるIII-V族化合物半導体膜の形成方法を提供することにある。

【0007】また、本発明の第2の目的は、第1の目的に加えて、電子又は正孔の閉じ込め効果を低下させずに、III-V族化合物半導体膜を形成する方法を提供することにある。

【0008】

【課題を解決するための手段】本発明に係る請求項1記載のIII-V族化合物半導体膜の形成方法は、GaAs基板の(111)A面上に、正三角形形状のレジストパターンの1辺が上記GaAs基板の劈開面に対して実質的に垂直な方向に平行となるようにレジストマスクパターンを形成するステップと、上記レジストマスクパターンが形成されたGaAs基板に対して選択エッチング処理を行って、レジストマスクパターンの各辺の近傍に(111)A面に対して $28^\circ \leq \theta \leq 33^\circ$ の範囲の傾斜角 θ だけ傾斜する斜面を有する段差を形成するステップと、上記レジストマスクパターンを除去するステップと、上記GaAs基板及び上記斜面上に分子線エピタキシャル法を用いてIII-V族化合物半導体膜を形成するステップとを含むことを特徴とする。

【0009】また、請求項2記載のIII-V族化合物半導体膜の形成方法は、請求項1記載の方法において、(001)面から(111)A面への方に傾斜されて定義される面の斜面を有する段差が形成されるように上記レジストマスクパターンを形成することを特徴とする。

【0010】

【作用】請求項1記載のIII-V族化合物半導体膜の形成方法においては、傾斜角が $28^\circ \leq \theta \leq 33^\circ$ の範囲である斜面の段差が形成されるので、本発明者の実験によれば、分子線エピタキシャル法を用いてIII-V族化合物半導体膜の結晶を段差を有する基板上に成長させるときに余分なファセットが出現せず、しかも元の段差

3

の傾斜部の角度を保持して上記結晶を成長させることができる。

【0011】また、請求項2記載のIII-V族化合物半導体膜の形成方法においては、さらに、(001)面から(111)A面へ方向に傾斜されて定義される面の斜面を有する段差が形成されるように上記レジストマスクパターンを形成するので、本発明者の実験によれば、電子又は正孔の閉じ込め効果を低下させずに、III-V族化合物半導体膜を形成することができる。

【0012】

【実施例】以下、図面を参照して本発明による一実施例について説明する。図1乃至図7において各図面の下側には、GaAs基板10の結晶構造を基準にした、各図面に図示した面の方向を示している。なお、図1及び図2において、GaAsの結晶構造を模式的に図示しているが、構成原子及び原子距離の大きさは、実際にはレジストマスクパターン11、12及び三角錐台形状のGaAs基板21、22の大きさに比較して極めて小さいものである。

【0013】本実施例は、図1に示すように、GaAs基板10の(111)A面上に、正三角形形状のレジストパターン11、12の1辺11a、12aが当該基板10の劈開面100に対して実質的に垂直な方向に平行となるようにレジストマスクパターン11、12を形成した後、 $\text{HF} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ からなる混合エッチング液を用いて選択ウエットエッチング処理を行って、図2に示すように、各レジストマスクパターン11、12の各辺の近傍に(111)A面に対して傾斜角 θ だけ傾斜した斜面21a、21b、21c、22a、22b、22cを有する段差を形成し、次いで、上記レジストマスクパターンを除去した後、MBE法を用いてGaAs成長層13a乃至13eを成長させる場合において、上記ウエットエッチング処理において上記混合エッチング液の組成を変化することによって上記傾斜角 θ を $28^\circ \leq \theta \leq 33^\circ$ の範囲に制御することを特徴とする。

【0014】以下、本実施例に係る、GaAs基板10の(111)A面に段差を形成した後GaAs成長層を成長させる基本プロセスについて詳細に説明する。

【0015】(1)まず、図1に示すように、フォトリソグラフィ法で、GaAs基板10の(111)A面上に、マスクアライナーを用いて正三角形形状のレジストマスクパターン11、12の1辺11a、12aが当該基板10の劈開面100に対して実質的に垂直な方向に平行となるようにレジストマスクパターン11、12を形成する。

【0016】(2)次いで、レジストマスクパターン11、12が形成されたGaAs基板10の上から、 $\text{HF} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ からなる混合エッチング液を用いて選択ウエットエッチング処理を行って、図2に示すように、各レジストマスクパターン11、12の各辺11

4

a、11b、11c、12a、12b、12cの近傍にそれぞれ、(111)A面に対して傾斜角 θ だけ傾斜した斜面21a、21b、21c、22a、22b、22cを有する垂直方向の高さ $3\mu\text{m}$ の段差を形成する。従って、レジストマスクパターン11の近傍に三角錐台形状のGaAs基板21が形成される一方、レジストマスクパターン12の近傍に三角錐台形状のGaAs基板22が形成される。さらに、レジストマスクパターン11、12が形成されていない領域においてはGaAs基板10がエッチングされて(111)A面10eが露出する。なお、傾斜角 θ は劈開面100を基準にして走査型電子顕微鏡で観察することにより確認した。

【0017】ここで、例えばレジストマスクパターン11を用いて形成された段差が傾斜角 $\theta = 55^\circ$ を有するとき、三角錐台形状のGaAs基板21の斜面21aは(001)面であり、斜面21bは(100)面であり、斜面21cは(010)面であり、以下、これらの斜面21a、21b、21cを、互いに等価である(001)関連の斜面という。また、レジストマスクパターン12を用いて形成された段差が傾斜角 $\theta = 35^\circ$ を有するとき、三角錐台形状のGaAs基板22の斜面22aは(110)面であり、斜面22bは(101)面であり、斜面22cは(011)面であり、以下、これらの斜面22a、22b、22cを、互いに等価である(110)関連の斜面という。

【0018】例えば気温 25°C において上記基板21において傾斜角 $\theta = 30^\circ$ に設定するためには、 HF と H_2O_2 と H_2O の各体積を2cc、16cc、及び250ccに設定し、又は2cc、22cc、及び1000ccに設定する。また、混合エッチング液として、 $\text{H}_3\text{PO}_4 + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ を用いてもよい。この場合、気温 40°C において傾斜角 $\theta = 30^\circ$ に設定するためには、 H_3PO_4 と H_2O_2 と H_2O の各体積を3cc、 1cc 、及び50ccに設定する。以下同様にして、 HF と H_2O_2 と H_2O との体積比、又は H_3PO_4 と H_2O_2 と H_2O との体積比、すなわち組成を変化することにより、上記傾斜角 θ を任意の角度に設定できる。

【0019】(3)次いで、アセトン等の有機溶媒を用いて上記レジストマスクパターン11、12を除去する。

【0020】(4)さらに、図3乃至図5に示すように、MBE法を用いて公知の通り、基板温度 620°C で、As/Gaのフラックス比を4に設定し、かつ正孔濃度が $1 \times 10^{18} \text{cm}^{-3}$ であるという条件でSiをドーパしたGaAsを用いて厚さ $1\mu\text{m}$ のGaAs成長層13a乃至13eを成長させる。

【0021】本発明者は、(a)三角錐台形状のGaAs基板21の傾斜角 θ を 11° から 84° まで 1° 毎に変化させて上述のプロセスを行う一方、(b)三角錐台形状のGaAs基板22の傾斜角 θ を 11° から 74°

5

まで 1° 毎に変化させて上述のプロセスを行った。特に、代表してこの場合の基板21の斜面21aとコーナ一部21rと、基板22のそれらに対応する部分についての実験結果について以下に説明する。

【0022】(a)三角錐台形状のGaAs基板21の場合

図3乃至図5はそれぞれ、段差の斜面の傾斜角 $\theta = 61^\circ$ 、 41° 及び 30° のときのGaAs成長後のGaAs基板の、図2のA-A'線についての断面図である。

【0023】図3に示すように、傾斜角 $\theta \geq 34^\circ$ では、常に、斜面21aの上部に(114)A面のファセット13bが出現するとともに、斜面21aの下部に他の余分な面のファセット13dが出現する。そして、図4に示すように、傾斜角 θ が 33° に近づくほど、斜面21a側に張り出してくることが観測された。従って、傾斜角 $\theta \geq 34^\circ$ の範囲では均一な斜面のGaAs成長層を形成することはできない。さらに、傾斜角が $15^\circ \leq \theta \leq 33^\circ$ の範囲では、図5に示すように、(114)A面のファセット13bと余分なファセット13dが消失し、他にはなんらファセットも生じず、元のGaAs基板10のエッチングパターンを保持した均一なGaAs成長層13a、13c、13eを実現することができる。さらに、傾斜角が $\theta \leq 14^\circ$ の範囲では三角錐台形状の基板21との境界付近の斜面上に(111)A面と 15° を成すステップが生じ、再び均一性が失われることを観測した。従って、傾斜角を $15^\circ \leq \theta \leq 33^\circ$ の範囲に収める必要があり、以下、第1の傾斜角の条件という。

【0024】さらには、傾斜角が $\theta \geq 54^\circ$ の範囲では、互いに等価な斜面同士が交差する稜線にあたるコーナ一部21rには、図6に示すように、(111)A基板面と 35° の角度を成す(110)面のファセットが生じることが観測された。そして、傾斜角が $28^\circ \leq \theta \leq 53^\circ$ の範囲では、図7に示すように、その(110)面のファセットが消失し、他のファセットも生じなかった。ところが、傾斜角が $\theta \leq 27^\circ$ では、再び(111)A基板面と 15° 以下の角度を成す(110)関連の面のファセットが出現した。これらの(110)面や(110)関連の面のファセットはSiドーパされたGaAs成長層においてp型になるので、これらのファセットは正孔閉じ込めに対するリークパスとして働き閉じ込め効果を著しく低下させる。従って、傾斜角がこれらのファセットが出現しない $28^\circ \leq \theta \leq 53^\circ$ の範囲に収める必要があり、以下、第2の傾斜角の条件という。

【0025】従って、斜面21a乃至21c及びコーナ一部21rにおいて均一なGaAs成長層を形成するためには、上記第1の傾斜角の条件と上記第2の傾斜角の条件を同時に満足させる必要があり、傾斜角を $28^\circ \leq \theta \leq 33^\circ$ の範囲に収める必要がある。ここで、傾斜角

6

$\theta = 28^\circ$ は(5 5 14)A面に対応し、傾斜角 $\theta = 33^\circ$ は(114)A面に対応する。これら(5 5 14)A面及び(114)A面は(001)面から(111)A面への方向に傾斜されて定義される面である。

【0026】なお、傾斜角が $28^\circ \leq \theta \leq 33^\circ$ の範囲で正孔が閉じ込められていることは、三角錐台形状のGaAs基板21の頂上面の(111)A面の領域とエッチングされた(111)A面10eとにそれぞれオーム性電極を形成し、各電極間の電流-電圧特性を測定することによって確認した。この測定では、 $\pm 10V$ まで電流が流れない良好な電流ブロッキング効果が現れている。これにより、斜面はn型となっておりかつコーナ一部21rで全くリークがないことが確認され、正孔閉じ込め効果が低下していないことを観測した。

【0027】(b)三角錐台形状のGaAs基板22の場合

傾斜角が $\theta \geq 35^\circ$ では、常に、斜面22aの上部に(110)面のファセットが出現するが、傾斜角 $15^\circ \leq \theta \leq 34^\circ$ では当該余分なファセットが消失し、他にはなんらファセットも生じず、元のGaAs基板10のエッチングパターンを保持した均一なGaAs成長層を形成することができる。さらに、傾斜角が $\theta \leq 14^\circ$ の範囲では、三角錐台形状の基板22との境界付近の斜面上に(111)A面と 15° の角度を成すステップが生じ、再び均一性が失われた。なお、三角錐台形状のGaAs基板22の場合、傾斜角 θ を 11° から 74° までの範囲で変化しても、上記基板21の場合のようにコーナ部に余分なファセットを観測できなかった。なお、この場合、斜面22aは(110)面から(111)A面への方向に傾斜されて定義される面である。

【0028】従って、この場合において、斜面22a乃至22c及びコーナ部において均一なGaAs成長層を形成するためには傾斜角を $15^\circ \leq \theta \leq 34^\circ$ の範囲に設定すればよい。従って、三角錐台形状のGaAs基板21における傾斜角範囲 $28^\circ \leq \theta \leq 33^\circ$ に設定すれば、自然に三角錐台形状のGaAs基板22の傾斜角の必要条件も満足することになる。しかしながら、三角錐台形状のGaAs基板22の場合においては各斜面22a乃至22cはSiがドーパされたGaAs成長層はp型になるので、正孔閉じ込め効果を得ることはできないことを観測した。

【0029】以上説明した上記の実験結果をまとめると以下ようになる。

(1) 上述のようにGaAs基板10の(111)A面上に三角錐台形状のGaAs基板21、22の段差の斜面を形成するとき、傾斜角を $28^\circ \leq \theta \leq 33^\circ$ の範囲に収めれば、段差の傾斜角を保持して均一なGaAs成長層を形成することができる。

(2) さらに、例えば横方向のp-n接合などを形成す

7

る場合において、正孔の閉じ込め又は電子の閉じ込めを行う場合は、上記(1)の条件に加えて、三角錐台形状のGaAs基板21の斜面21a, 21b, 21cのみを使用すればよい。すなわち、レジストマスクパターン11のみを形成してウエットエッチングすることにより、(001)面から(111)A面に対する方向に傾斜して定義される(114)A面乃至(5514)A面の斜面を形成すればよい。これによって、正孔の閉じ込め効果又は電子の閉じ込め効果が低下しない横方向のp-n接合を常に実現することができる。

【0030】以上の実施例においては、GaAs成長層を形成しているが、本発明はこれに限らず、Al_{1-x}Ga_xAsなどのIII-V族化合物半導体膜を形成する場合に適用することができる。また、GaAs基板を用いているが、InP基板を用いてもよい。

【0031】

【発明の効果】以上詳述したように、本発明に係る請求項1記載のIII-V族化合物半導体膜の形成方法によれば、GaAs基板の(111)A面上に、正三角形形状のレジストパターンの1辺が上記GaAs基板の劈開面に対して実質的に垂直な方向に平行となるようにレジストマスクパターンを形成するステップと、上記レジストマスクパターンが形成されたGaAs基板に対して選択エッチング処理を行って、レジストマスクパターンの各辺の近傍に(111)A面に対して $28^{\circ} \leq \theta \leq 33^{\circ}$ の範囲の傾斜角 θ だけ傾斜する斜面を有する段差を形成するステップと、上記レジストマスクパターンを除去するステップと、上記GaAs基板及び上記斜面上に分子線エビタキシャル法を用いてIII-V族化合物半導体膜を形成するステップとを含む。従って、傾斜角が $28^{\circ} \leq \theta \leq 33^{\circ}$ の範囲である斜面の段差が形成されるので、分子線エビタキシャル法を用いてIII-V族化合物半導体膜の結晶を段差を有する基板上に成長させるときに余分なファセットが出現せず、しかも元の段差の傾斜部の角度を保持して上記結晶を成長させることができる。

【0032】また、請求項2記載のIII-V族化合物半導体膜の形成方法によれば、さらに、(001)面から(111)A面へ方向に傾斜されて定義される面の斜面を有する段差が形成されるように上記レジストマスクパターンを形成するので、電子又は正孔の閉じ込め効果

8

を低下させずに、III-V族化合物半導体膜を形成することができるという利点がある。

【図面の簡単な説明】

【図1】 本発明の一実施例であるGaAs基板の(111)A面上にMBE法によってGaAsの結晶を成長させる方法における第1のプロセスを示す、レジストパターンを形成したGaAs基板の平面図である。

【図2】 上記実施例の方法における第2のプロセスを示す、ウエットエッチング後のGaAs基板の平面図である。

【図3】 比較例である段差の斜面の傾斜角 $\theta = 61^{\circ}$ のときのGaAs成長後のGaAs基板の、図2のA-A'線についての断面図である。

【図4】 比較例である段差の斜面の傾斜角 $\theta = 41^{\circ}$ のときのGaAs成長後のGaAs基板の、図2のA-A'線についての断面図である。

【図5】 上記実施例における段差の斜面の傾斜角 $\theta = 30^{\circ}$ のときのGaAs成長後のGaAs基板の、図2のA-A'線についての断面図である。

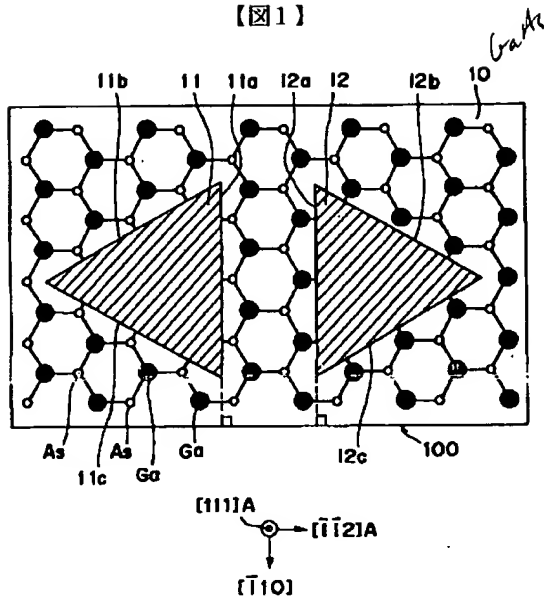
【図6】 比較例である段差の斜面の傾斜角 $\theta = 61^{\circ}$ のときのGaAs成長後のGaAs基板の、図2の段差の正三角形のコーナー部21rにおける平面図である。

【図7】 上記実施例における段差の斜面の傾斜角 $\theta = 30^{\circ}$ のときのGaAs成長後のGaAs基板の、図2の段差の正三角形のコーナー部21rにおける平面図である。

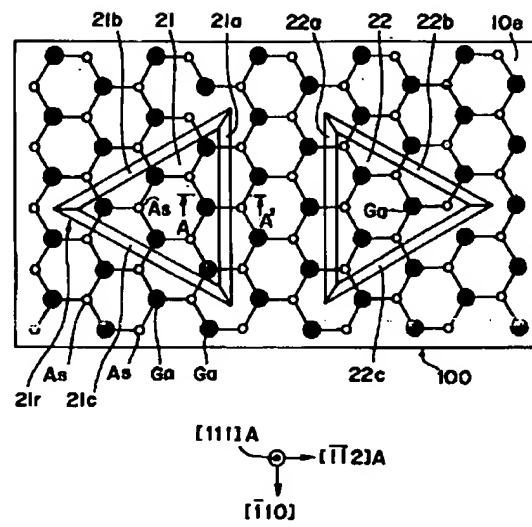
【符号の説明】

10...GaAs基板、
10e...エッチングされたGaAs基板の[111]A面、
11, 12...レジストパターン、
11a, 11b, 11c, 12a, 12b, 12c...レジストパターンの正三角形の1辺、
13a, 13b, 13c, 13d, 13e...GaAs成長層、
21, 22...三角錐台形状のGaAs基板、
21a, 21b, 21c, 22a, 22b, 22c...三角錐台形状のGaAs基板の斜面、
100...劈開面、
 θ ...傾斜角。

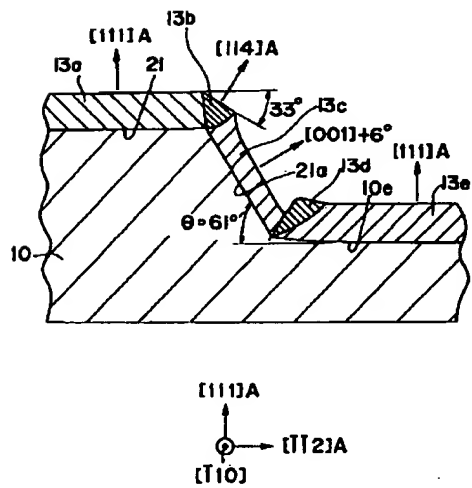
【図1】



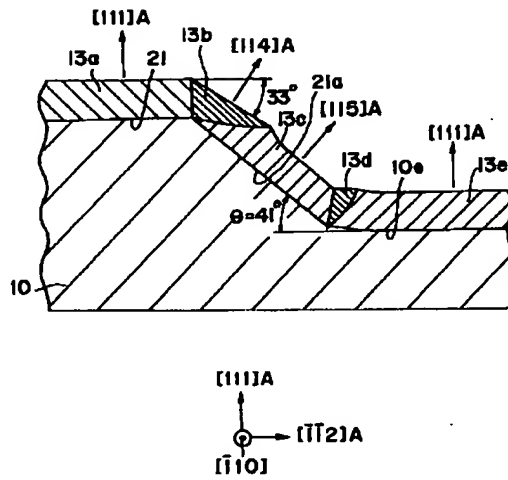
【図2】



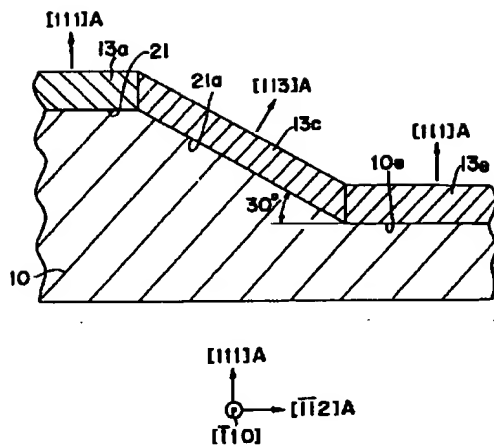
【図3】



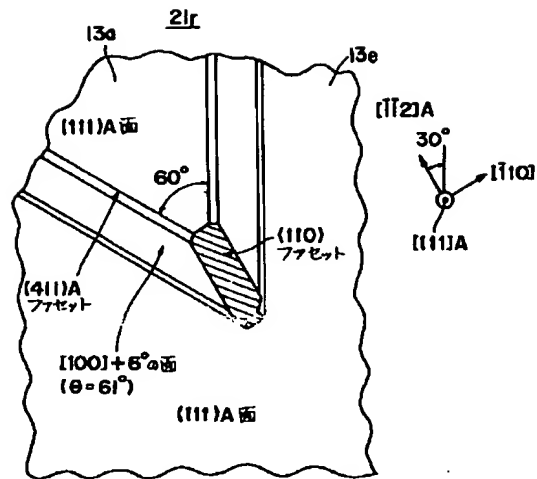
【図4】



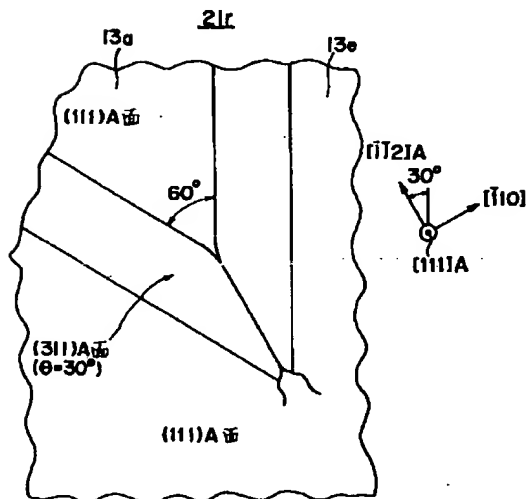
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 藤井 元忠

京都府相楽郡精華町大字乾谷小字三平谷5
番地 株式会社エイ・ティ・アール光電波
通信研究所内

(72)発明者 山本 悌二

京都府相楽郡精華町大字乾谷小字三平谷5
番地 株式会社エイ・ティ・アール光電波
通信研究所内

(72)発明者 藤田 和久

京都府相楽郡精華町大字乾谷小字三平谷5
番地 株式会社エイ・ティ・アール光電波
通信研究所内

(72)発明者 小林 規矩男

京都府相楽郡精華町大字乾谷小字三平谷5
番地 株式会社エイ・ティ・アール光電波
通信研究所内